

4 기본 논리게이트

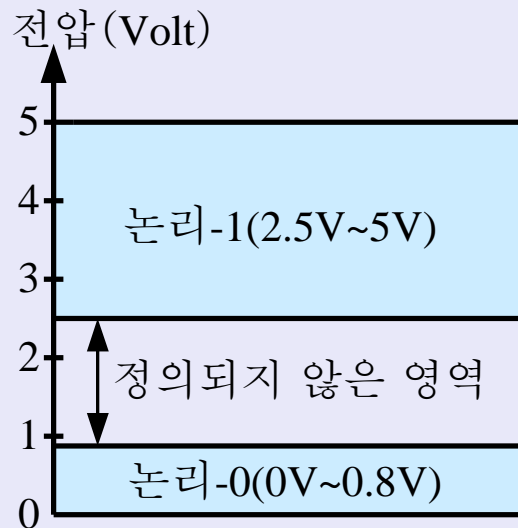
학습목표

- 논리 게이트와 논리 레벨의 기본 개념에 대해 알아본다.
- 기본 논리 게이트들의 동작 원리 및 진리표, 게이트 기호들에 대해 알아본다.
- 정논리와 부논리에 대해 알아본다.
- 게이트들의 전기적인 특성에 대해 알아본다.

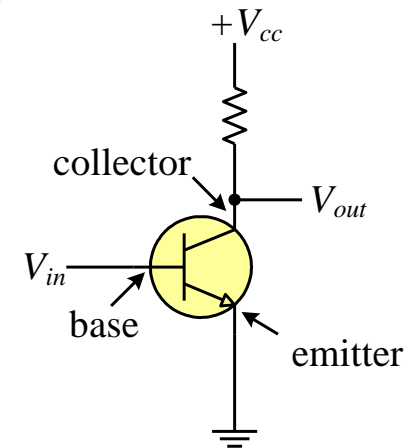
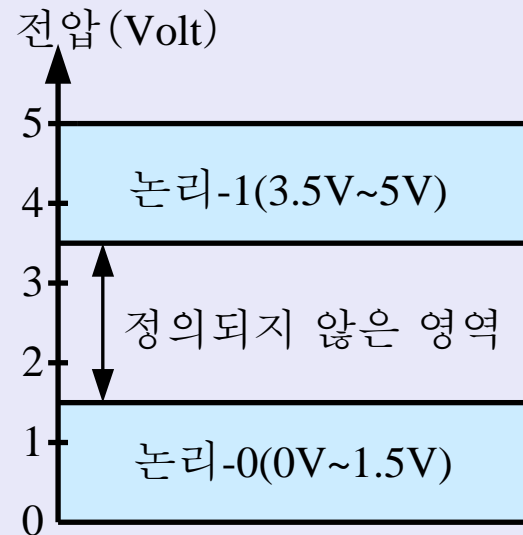
01. 논리 레벨
02. NOT 게이트와 버퍼 게이트
03. AND 게이트
04. OR 게이트
05. NAND 게이트
06. NOR 게이트
07. XOR 게이트
08. XNOR 게이트
09. 정논리와 부논리
10. 게이트의 전기적 특성

□ TTL과 CMOS 논리 레벨 정의영역

TTL



CMOS



Transistor

02 NOT 게이트와 버퍼게이트

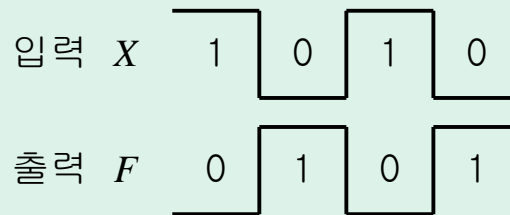
1. NOT 게이트

❖ 한 개의 입력과 한 개의 출력을 갖는 게이트로서 논리 부정을 나타낸다.

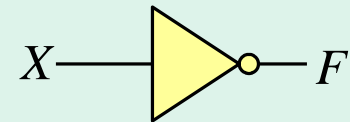
진리표

X	F
0	1
1	0

동작파형



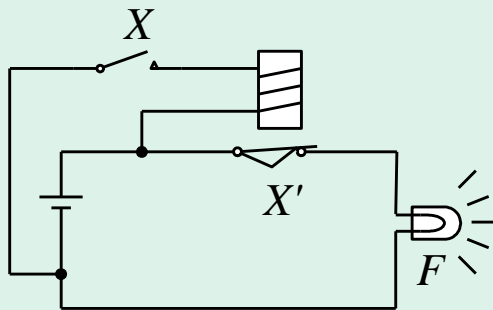
논리회로 기호



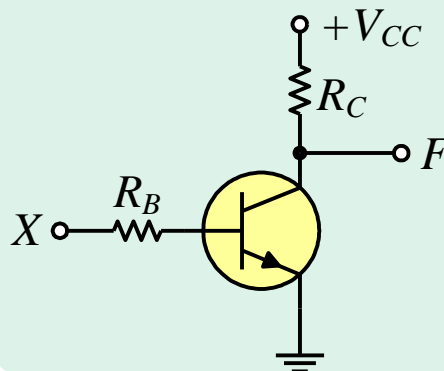
논리식

$$F = \overline{X} = X'$$

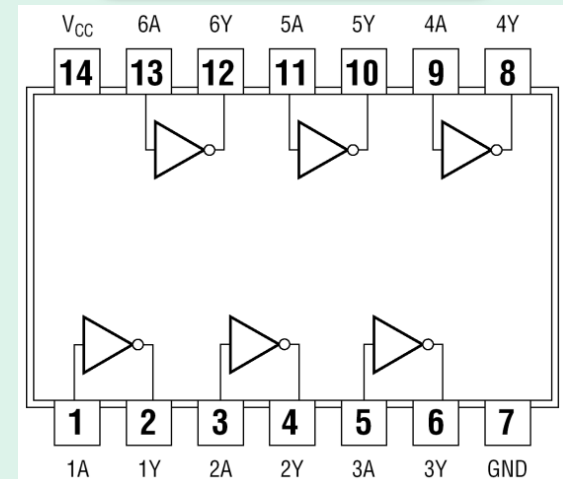
스위칭 회로



트랜지스터 회로



IC 7404



02 NOT 게이트와 버퍼게이트

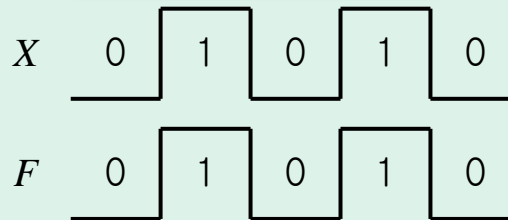
2. 버퍼

- ❖ 버퍼(buffer)는 입력된 신호를 변경하지 않고, 입력된 신호 그대로를 출력하는 게이트로서 단순한 전송을 의미한다.
- ❖ 입력 신호가 1인 경우에는 출력 신호는 1이 되고, 입력 신호가 0인 경우에는 출력 신호는 0이 된다.

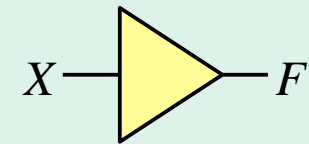
진리표

X	F
0	0
1	1

동작파형



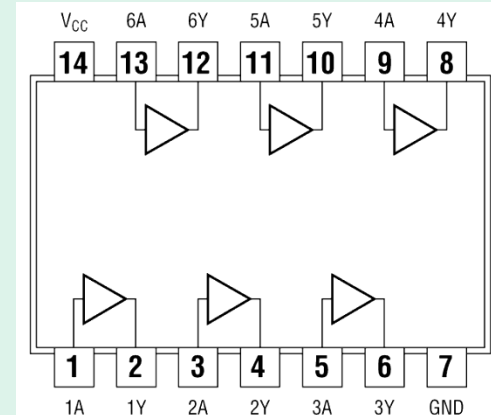
논리 기호



논리식

$$F = X$$

IC 7407 핀 배치도



02 NOT 게이트와 버퍼게이트

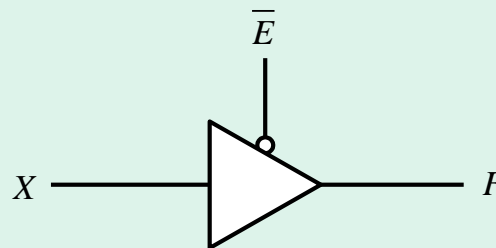
❖ 3상태(tri-state) 버퍼

출력이 3개 레벨(High, Low, 하이 임피던스) 중의 하나를 갖는 논리소자

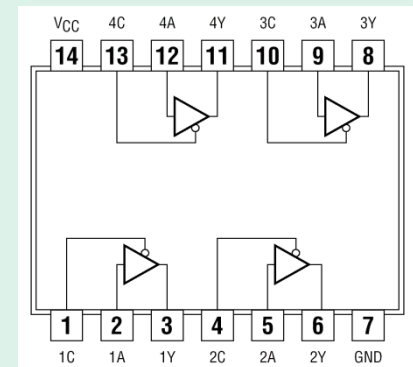
진리표

X	\overline{E}	F
1	0	1
0	0	0
1	1	Hi-Z
0	1	Hi-Z

논리 기호



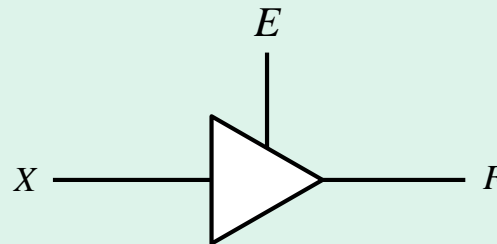
IC 74125 핀 배치도



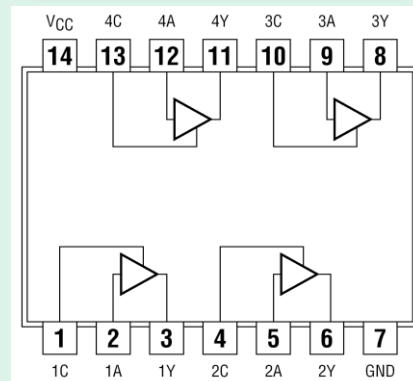
진리표

X	E	F
1	0	Hi-Z
0	0	Hi-Z
1	1	1
0	1	0

논리 기호



IC 74126 핀 배치도



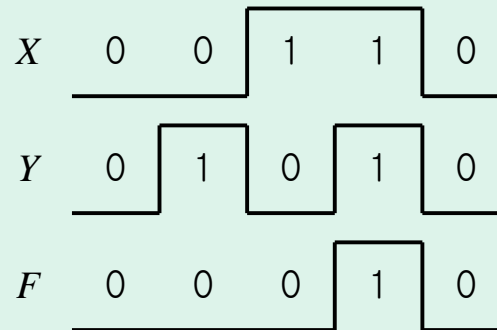
□ AND 게이트의 기본 개념(2입력)

- ❖ 입력이 모두 1(on)인 경우에만 출력은 1(on)이 되고, 입력 중에 0(off)인 것이 하나라도 있을 경우에는 출력은 0(off)이 된다.

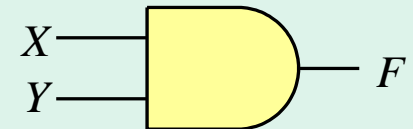
진리표

X	Y	F
0	0	0
0	1	0
1	0	0
1	1	1

동작파형



논리회로 기호



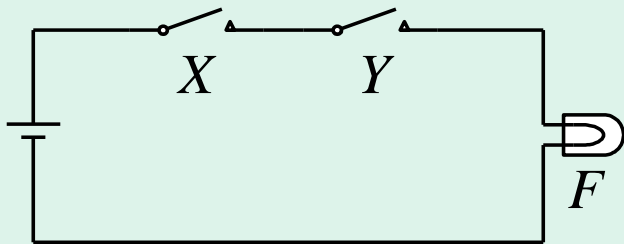
논리식

$$F = XY = X \cdot Y$$

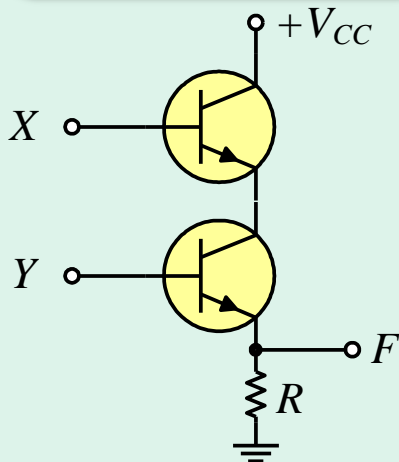
03 AND 게이트

□ AND 게이트의 회로 표현과 IC

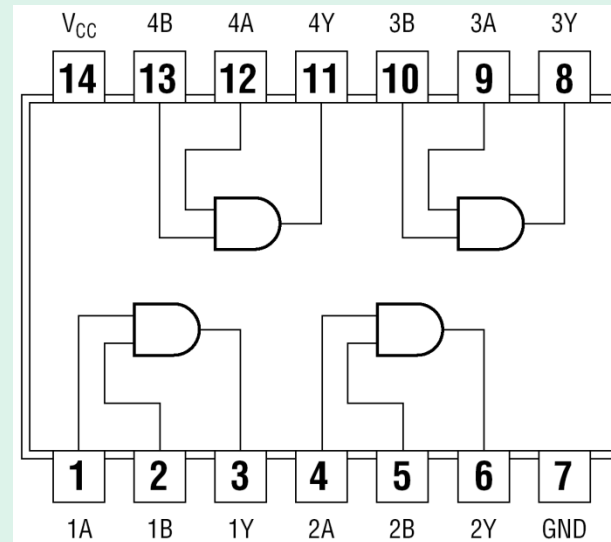
스위칭 회로



트랜지스터 회로



IC 7408



03 AND 게이트

□ AND 게이트의 기본 개념(3입력)

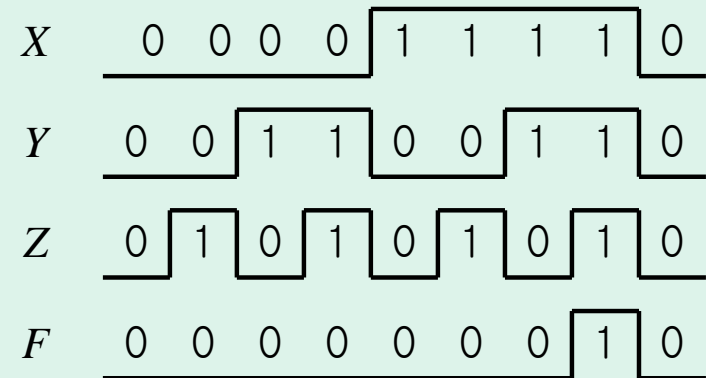
진리표

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

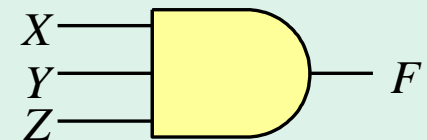
논리식

$$F = XYZ = X \cdot Y \cdot Z$$

동작파형



논리회로 기호



04 OR 게이트

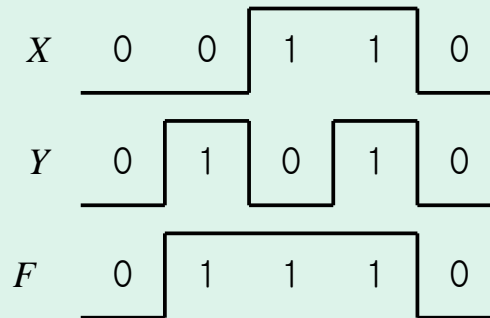
□ OR 게이트의 기본 개념(2입력)

- ❖ 입력이 모두 0인 경우에만 출력은 0이 되고, 입력 중에 1이 하나라도 있으면, 출력은 1이 된다.

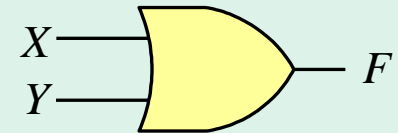
진리표

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

동작파형



논리회로 기호



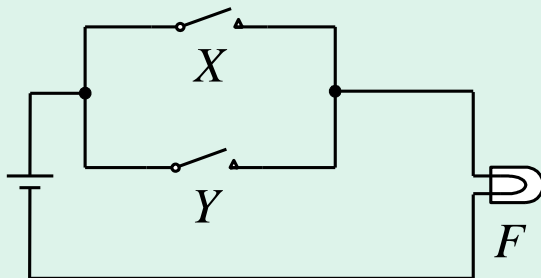
논리식

$$F = X + Y$$

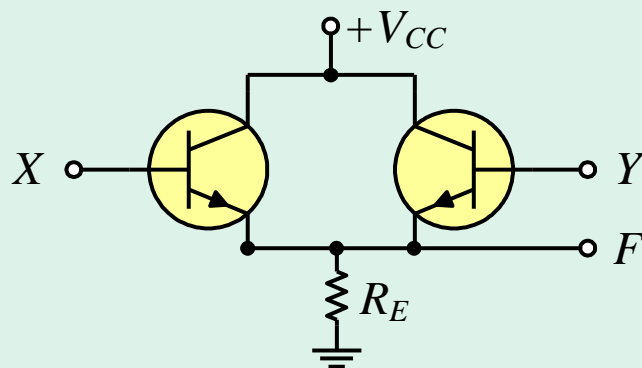
04 OR 게이트

□ OR 게이트의 회로 표현과 IC

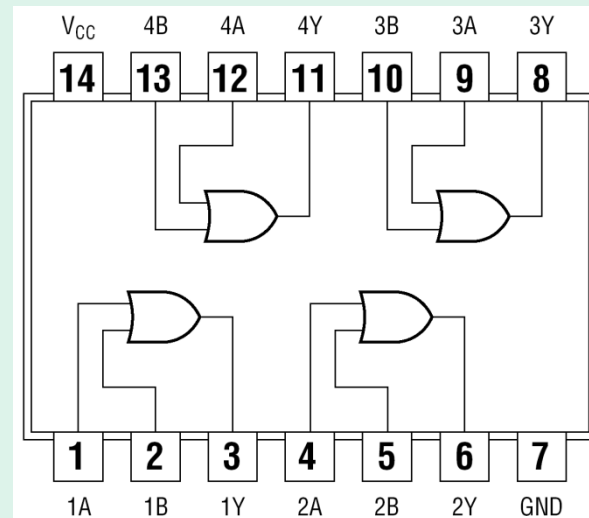
스위칭 회로



트랜지스터 회로



IC 7432



04 OR 게이트

□ OR 게이트의 기본 개념(3입력)

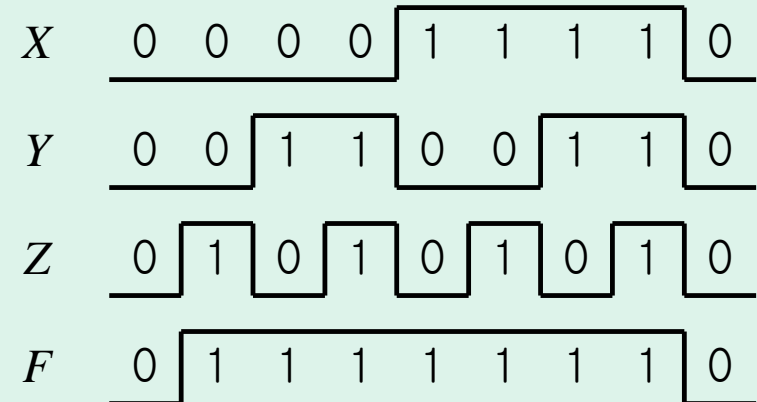
진리표

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

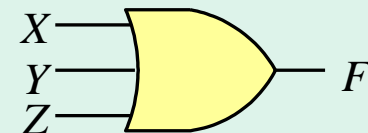
논리식

$$F = X + Y + Z$$

동작파형



논리회로 기호



05 NAND 게이트

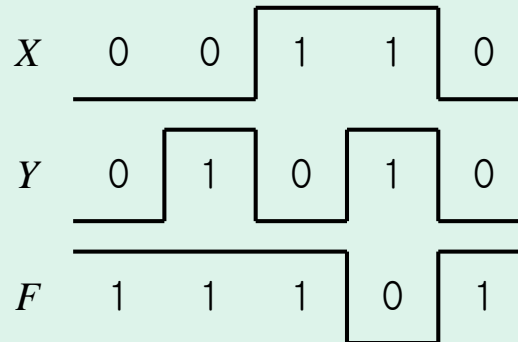
□ NAND 게이트의 기본 개념(2입력)

- ❖ 입력이 모두 1인 경우에만 출력은 0이 되고, 그렇지 않을 경우에는 출력은 1이 된다.
- ❖ 이 게이트는 AND 게이트와는 반대로 작동하는 게이트로서, NOT AND의 의미로 NAND 게이트라고 부른다.

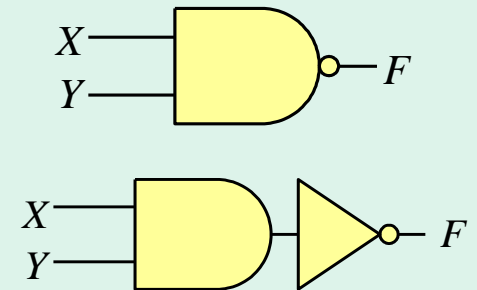
진리표

X	Y	F
0	0	1
0	1	1
1	0	1
1	1	0

동작파형



논리회로 기호



논리식

$$F = \overline{XY} = \overline{X \cdot Y}$$

05 NAND 게이트

□ NAND 게이트의 기본 개념(3입력)

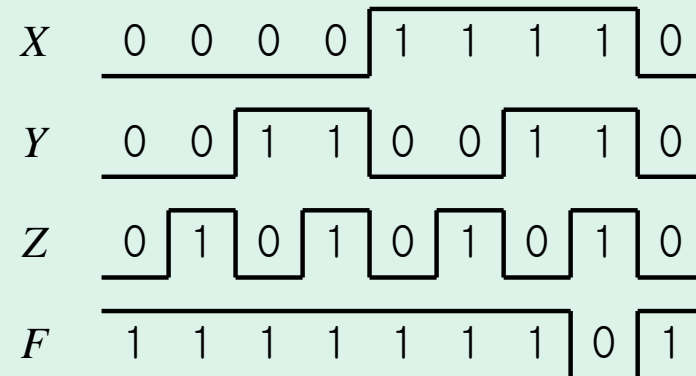
진리표

X	Y	Z	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

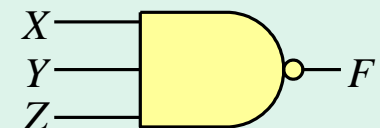
논리식

$$F = \overline{XYZ} = \overline{X \cdot Y \cdot Z}$$

동작파형



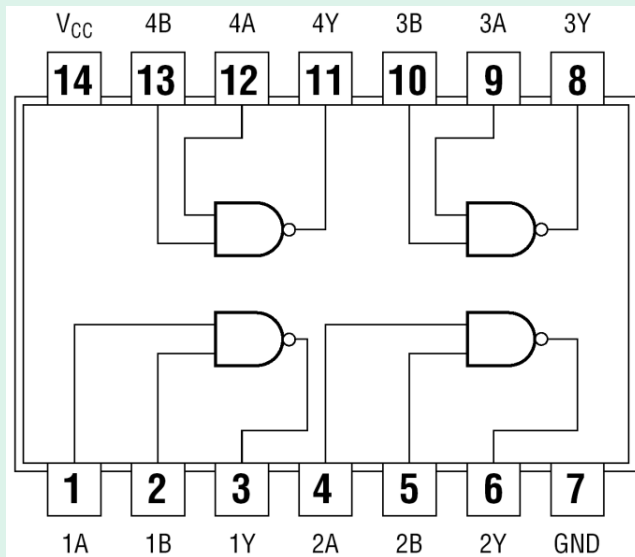
논리회로 기호



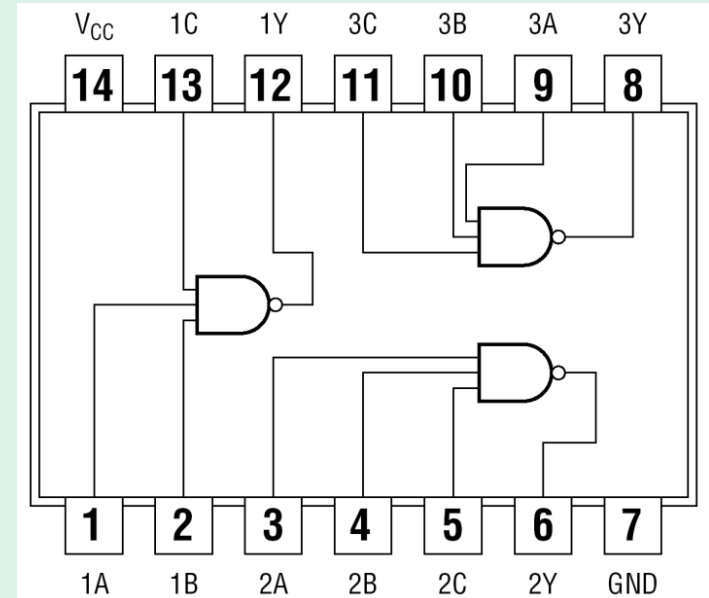
05 NAND 게이트

□ NAND 게이트의 IC

IC 7400



IC 7410



06 NOR 게이트

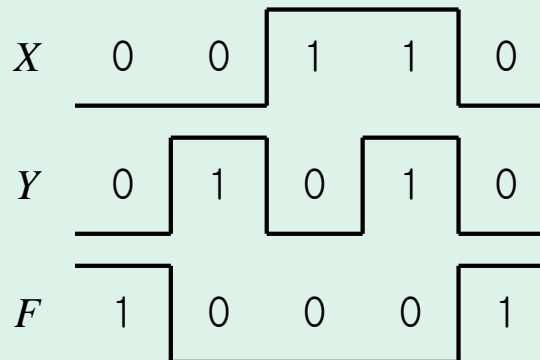
□ NOR 게이트의 기본 개념(2입력)

- ❖ 입력이 모두 0인 경우에만 출력은 1이 되고, 입력 중에 하나라도 1이 있는 경우는 출력은 0이 된다.
- ❖ 이 게이트는 OR 게이트와는 반대로 작동하는 게이트로서, NOT OR의 의미로 NOR 게이트라고 부른다.

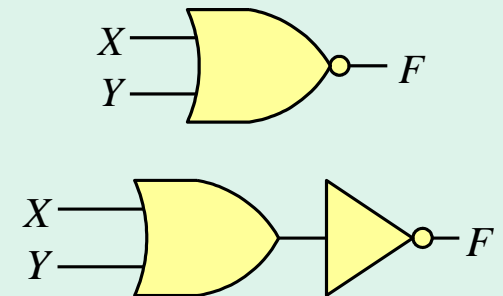
진리표

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	0

동작파형



논리회로 기호



논리식

$$F = \overline{X + Y}$$

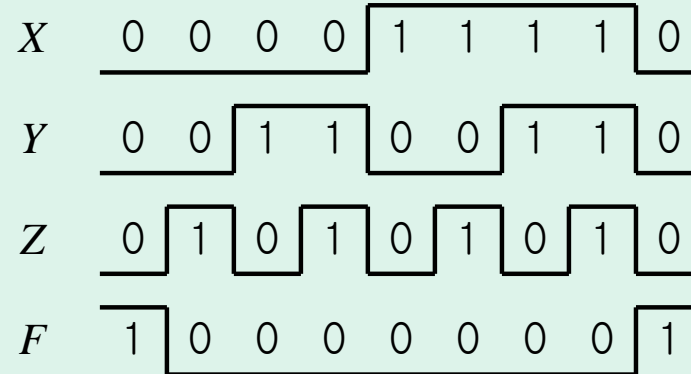
06 NOR 게이트

□ NOR 게이트의 기본 개념(3입력)

진리표

X	Y	Z	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

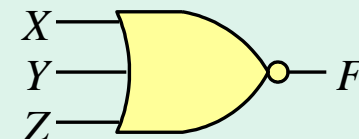
동작파형



논리식

$$F = \overline{X + Y + Z}$$

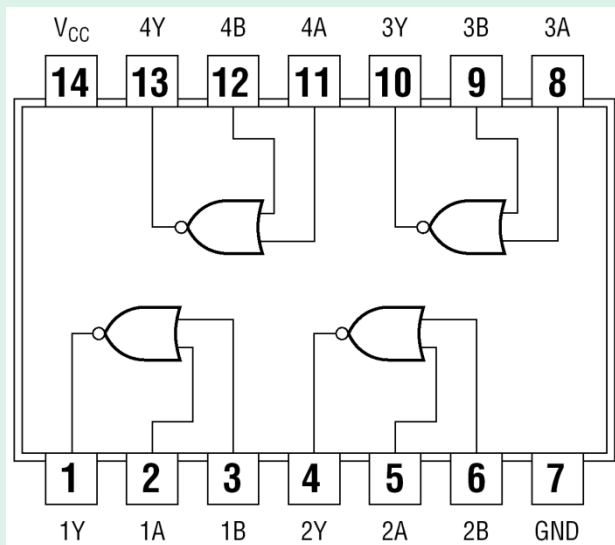
논리회로 기호



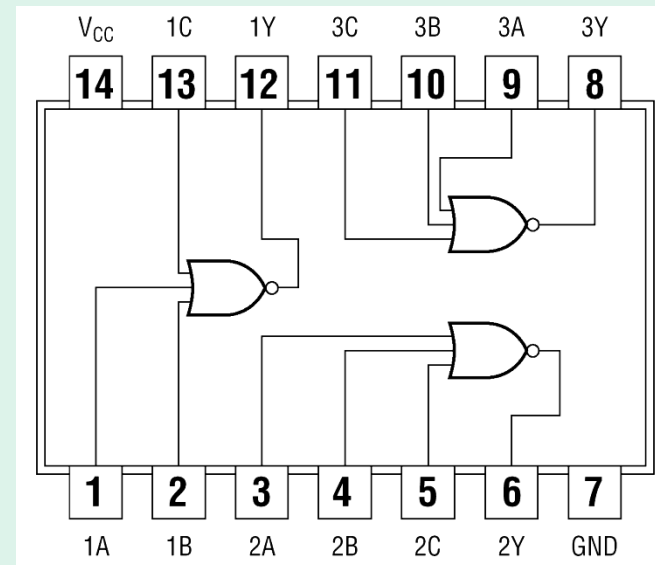
06 NOR 게이트

□ NOR 게이트 IC

IC 7402



IC 7427



07 XOR 게이트(Exclusive-OR gate)

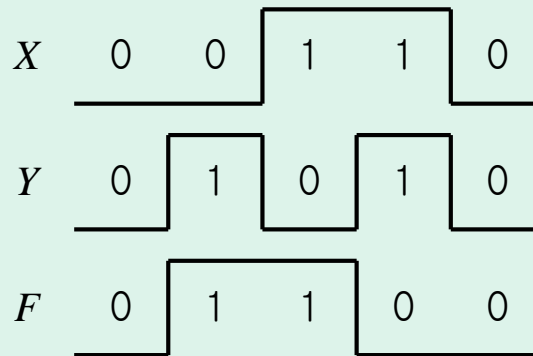
□ XOR 게이트의 기본 개념(2입력)

- ❖ 입력 중 홀수 개의 1이 입력된 경우에 출력은 1이 되고 그렇지 않은 경우에는 출력은 0이 된다.

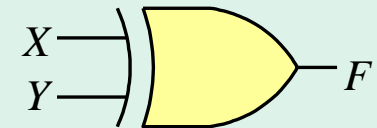
진리표

<i>X</i>	<i>Y</i>	<i>F</i>
0	0	0
0	1	1
1	0	1
1	1	0

동작파형



논리회로 기호



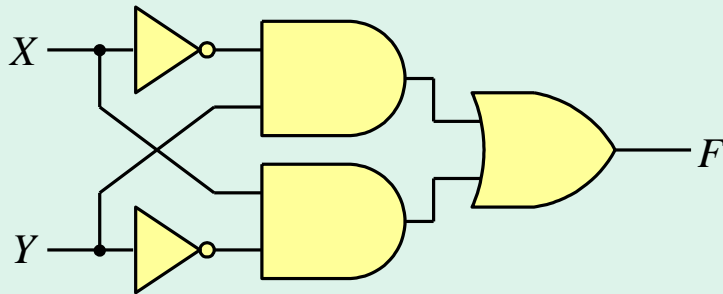
논리식

$$F = X \oplus Y = \overline{X}Y + X\overline{Y}$$

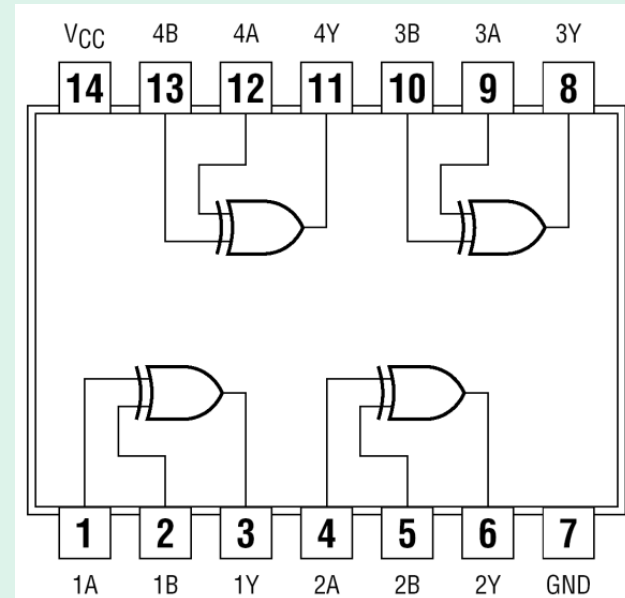
07 XOR 게이트(Exclusive-OR gate)

□ XOR 게이트의 기본 개념

AND-OR 게이트로 표현



IC 7486



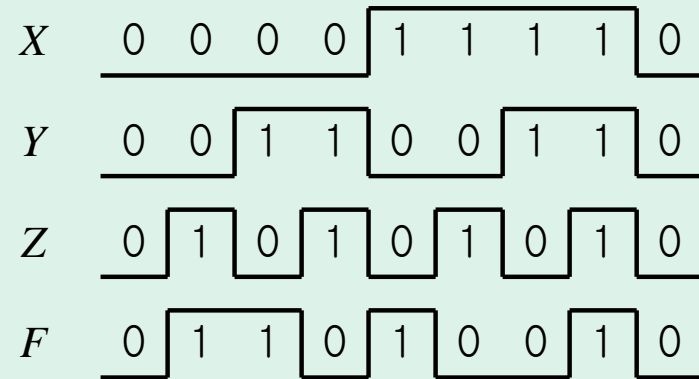
07 XOR 게이트(Exclusive-OR gate)

□ XOR 게이트의 기본 개념(3입력)

진리표

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

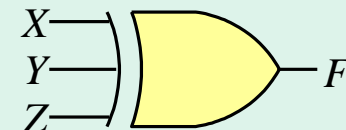
동작파형



논리식

$$F = X \oplus Y \oplus Z$$

논리회로 기호



08 XNOR 게이트(Exclusive-NOR gate)

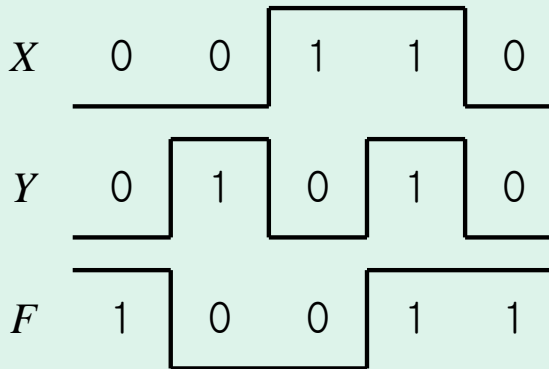
□ XNOR 게이트의 기본 개념(2입력)

- ❖ 입력 중 짝수 개의 1이 입력될 때 출력이 1이 되고, 그렇지 않은 경우에는 출력이 0이 된다.
- ❖ 출력값은 XOR 게이트에 NOT 게이트를 연결한 것이므로 XOR 게이트와 반대이다.

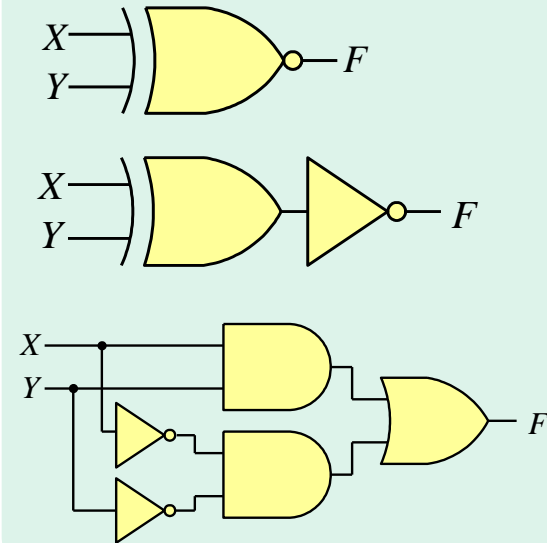
진리표

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	1

동작파형



논리회로 기호



논리식

$$F = \overline{X}\overline{Y} + XY = \overline{X \oplus Y} = X \odot Y$$

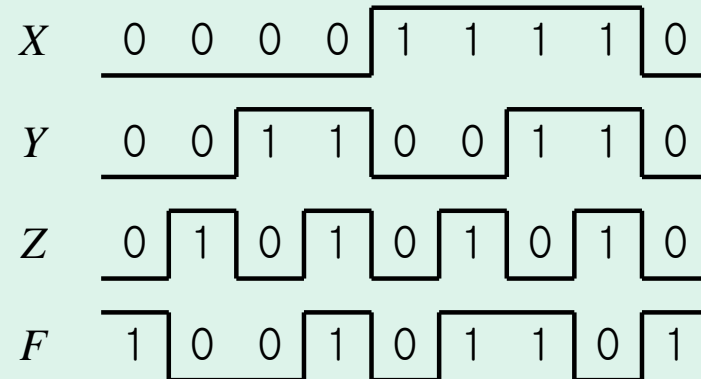
08 XNOR 게이트(Exclusive-NOR gate)

□ XNOR 게이트의 기본 개념(3입력)

진리표

X	Y	Z	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

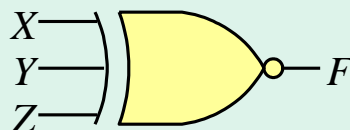
동작파형



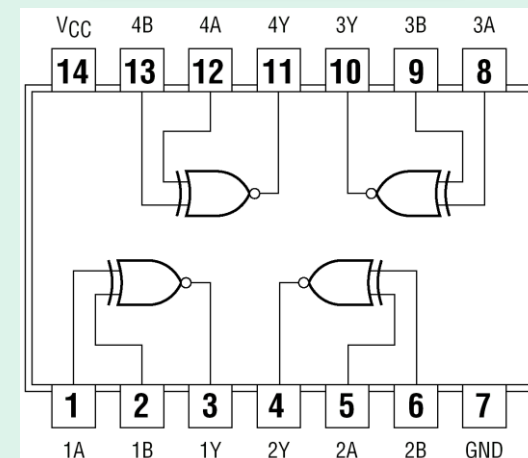
논리식

$$F = \overline{X \oplus Y \oplus Z} = X \odot Y \odot Z$$

논리회로 기호



IC 74266



09 정논리와 부논리

□ 논리 개념

전압레벨	정 논리	부 논리
+5V	High=1	High=0
0V	Low=0	Low=1

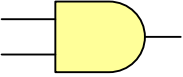
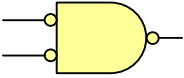
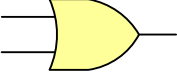
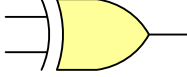
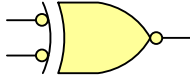
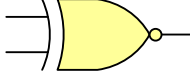
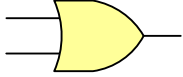
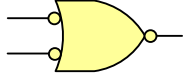
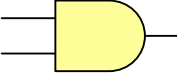
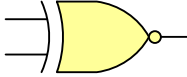
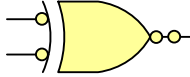
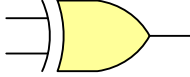
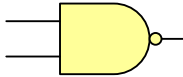
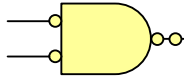
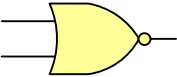
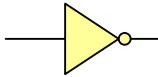
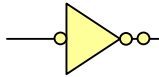
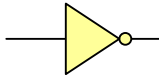
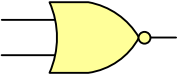
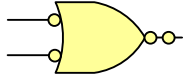
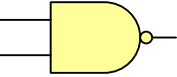
□ 정논리 AND = 부논리 OR

전압레벨			정논리 AND			부논리 OR		
<i>X</i>	<i>Y</i>	<i>F</i>	<i>X</i>	<i>Y</i>	<i>F</i>	<i>X</i>	<i>Y</i>	<i>F</i>
<i>L</i>	<i>L</i>	<i>L</i>	0	0	0	1	1	1
<i>L</i>	<i>H</i>	<i>L</i>	0	1	0	1	0	1
<i>H</i>	<i>L</i>	<i>L</i>	1	0	0	0	1	1
<i>H</i>	<i>H</i>	<i>H</i>	1	1	1	0	0	0

- 표현 방법이 다를 뿐 실제로 정논리와 부논리는 논리적으로는 같다

09 정논리와 부논리

□ 정논리와 부논리간의 게이트 대응

정논리	↔	부논리	정논리	↔	부논리
 AND		 OR	 XOR		 XNOR
 OR		 AND	 XNOR		 XOR
 NAND		 NOR	 NOT		 NOT
 NOR		 NAND			

10 게이트의 전기적 특성

지연시간

- 신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도이다.

전력소모

- 게이트가 동작할 때 소모되는 전력량

잡음여유도

- 최대 허용된 잡음 마진

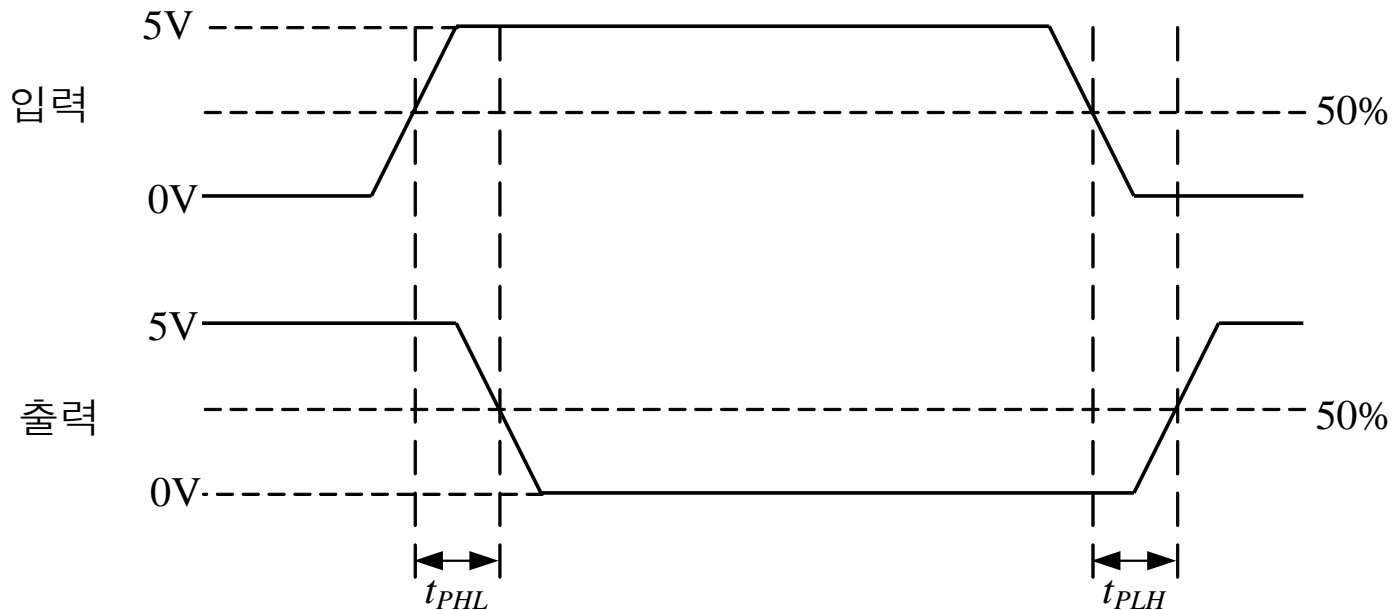
팬-아웃

- 하나의 게이트의 출력으로부터 다른 여러 개의 입력들로 공급되는 전류
- 정상적인 동작으로 하나의 출력이 최대 몇 개의 입력으로 연결되는가를 나타낸다.

10 게이트의 전기적 특성

1. 전파지연시간(gate propagation delay time)

- ❖ 신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도를 나타낸다.



10 게이트의 전기적 특성

□ 주요 디지털 IC 계열별 특성표

	t_{PHL} (max) [ns]	t_{PLH} (max) [ns]	V_{OH} (min) [V]	V_{OL} (max) [V]	V_{IH} (min) [V]	V_{IL} (max) [V]	I_{OH} (max) [mA]	I_{OL} (max) [mA]	I_{IH} (max) [μA]	I_{IL} (max) [mA]
7400	22	15	2.4	0.4	2	0.8	-0.4	16	40	-1.6
74S00	4.5	5	2.7	0.5	2	0.8	-1	20	50	-2
74LS00	15	15	2.7	0.4	2	0.8	-0.4	8	20	-0.4
74ALS00	11	8	3	0.4	2	0.8	-0.4	8	20	-0.1
74F00	5	4.3	2.5	0.5	2	0.8	-1	20	20	-0.6
74HC00	23	23	3.84	0.33	3.15	0.9	-4	4		
74AC00	8	6.5	4.4	0.1	3.15	1.35	-75	75		
74ACT00	9	7	4.4	0.1	2	0.8	-75	75		

t_{PHL} : L에서 H로 변할 때의 전파지연시간

t_{PLH} : H에서 L로 변할 때의 전파지연시간

V_{OH} : 논리 레벨 H일 때 출력 전압

V_{OL} : 논리 레벨 L일 때 출력 전압

V_{IH} : 논리 레벨 H일 때 입력 전압

V_{IL} : 논리 레벨 L일 때 입력 전압

$I_{OH}, I_{OL}, I_{IH}, I_{IL}$: 위와 같을 때 전류

10 게이트의 전기적 특성

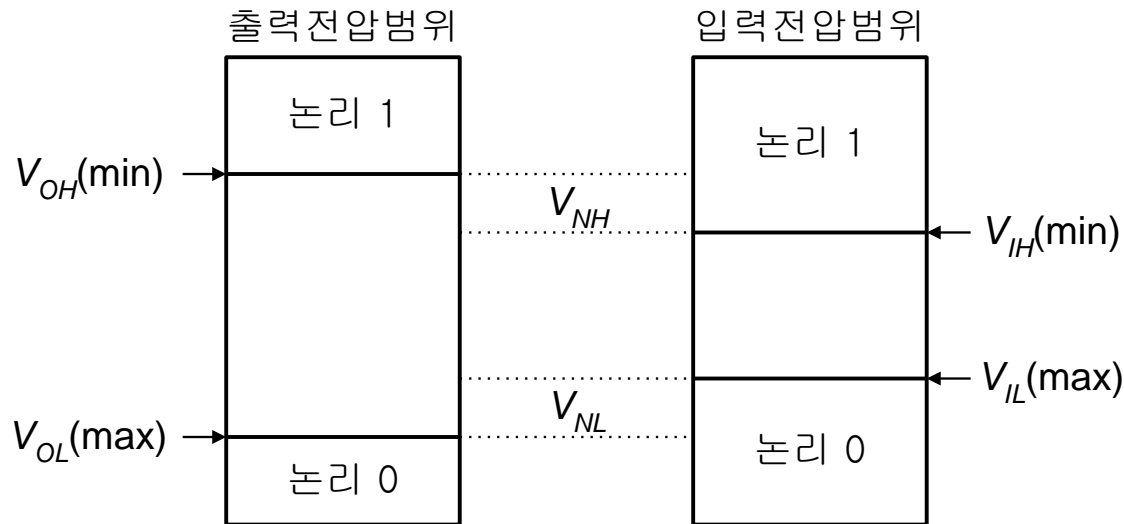
2. 전력소모(power dissipation)

- ❖ 게이트가 동작할 때 소모되는 전력

$$P_{cc} = V_{cc} \times I_{cc}$$

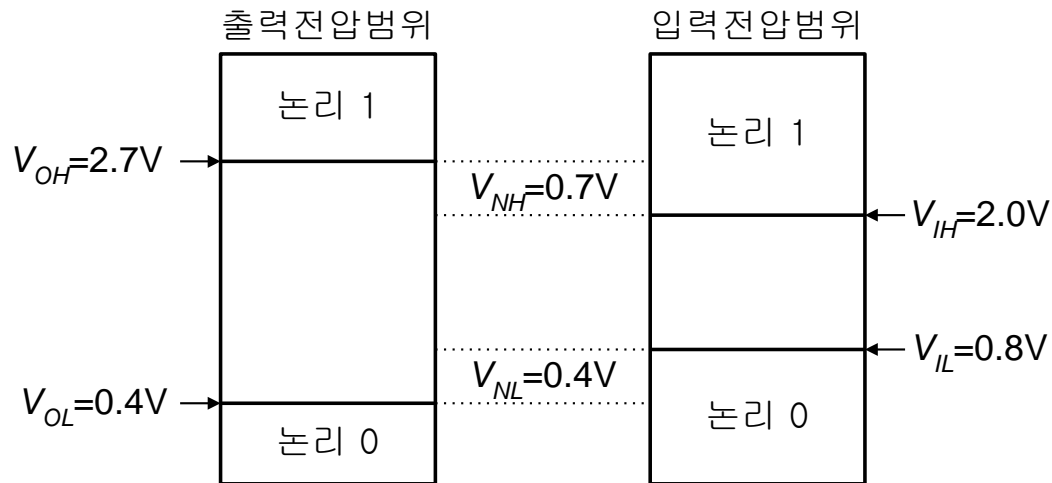
3. 잡음여유도(noise margin)

- ❖ 디지털 회로에서 데이터의 값에 변경을 주지 않는 범위 내에서 최대 허용된 Noise Margin을 의미.

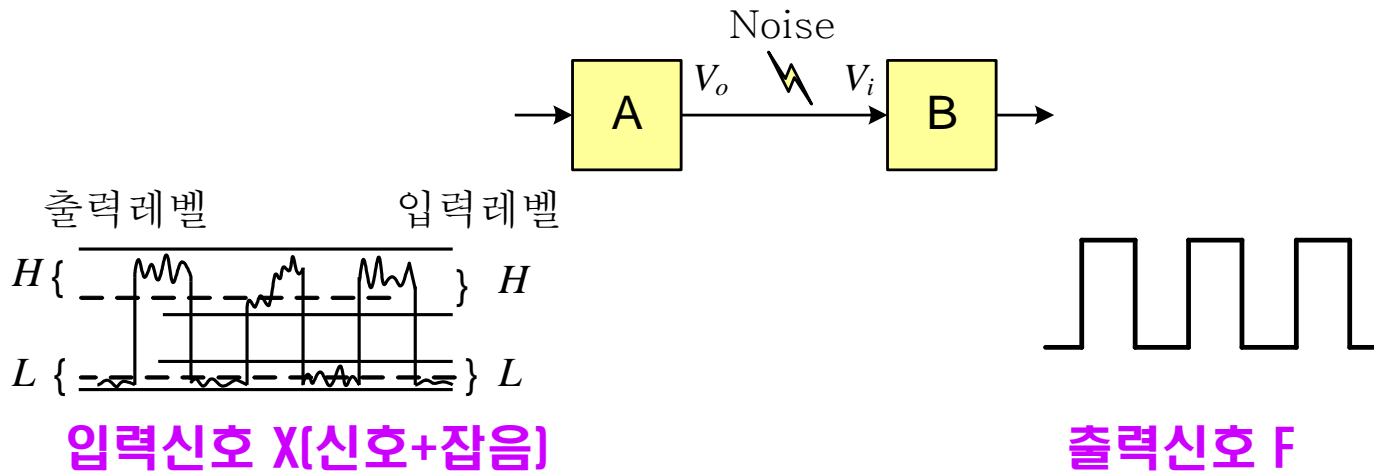


입출력 전압 범위

10 게이트의 전기적 특성



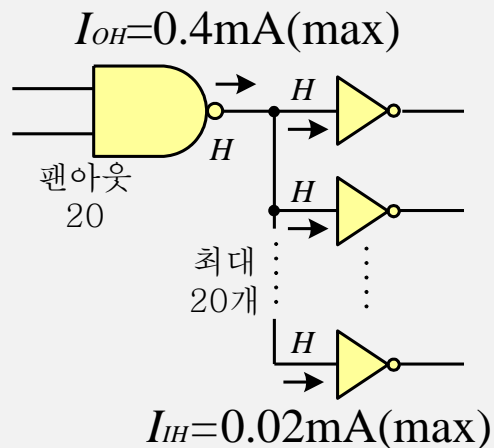
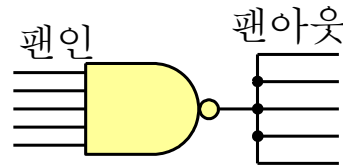
LS-TTL의 입출력 레벨



10 게이트의 전기적 특성

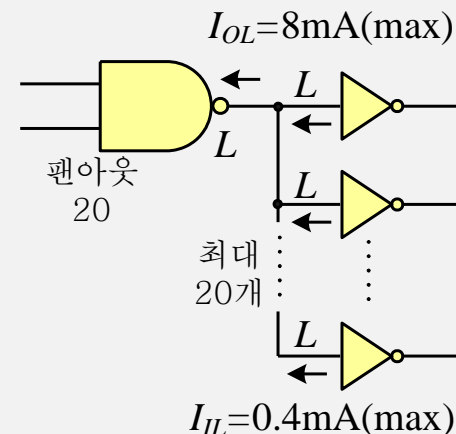
4. 팬-인(fan-in), 팬-아웃(fan-out)

- ❖ 팬-아웃은 1 개의 게이트에서 다른 게이트의 입력으로 연결 가능한 최대 출력단의 수를 의미
- ❖ 팬-인은 1 개의 게이트에 입력으로 접속할 수 있는 단수를 의미



출력이 H 레벨일 때

$$\frac{I_{OH}(\text{max})}{I_{IH}(\text{max})} = \frac{0.4\text{mA}}{0.02\text{mA}} = 20$$

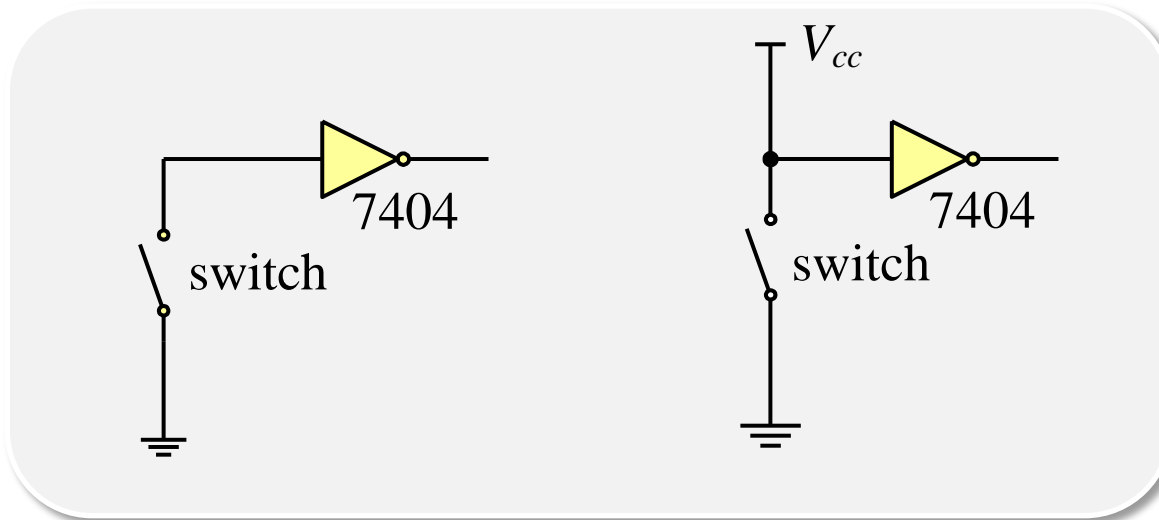


출력이 L 레벨일 때

$$\frac{I_{OL}(\text{max})}{I_{IL}(\text{max})} = \frac{8\text{mA}}{0.4\text{mA}} = 20$$

5. 풀-업(pull-up), 풀-다운(pull-down)

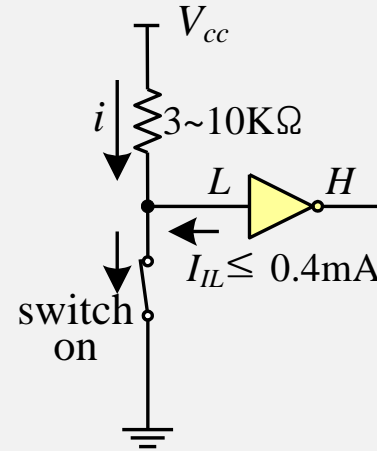
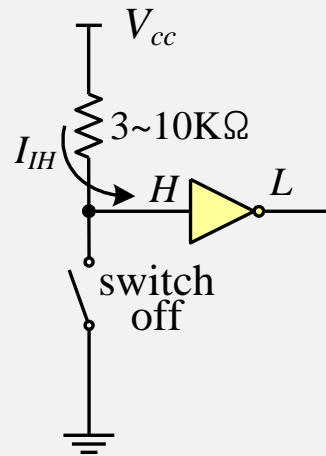
- ❖ 입력레벨의 불확실성을 제거하여 정확한 신호를 얻기 위하여 사용하는 저항
- ❖ 풀-업 저항 : 전원 쪽으로 연결할 때 사용
- ❖ 풀-다운 저항 : 접지 쪽으로 연결할 때 사용
- ❖ 적절한 풀-업, 풀-다운 저항으로서는 3~10K Ω 을 사용



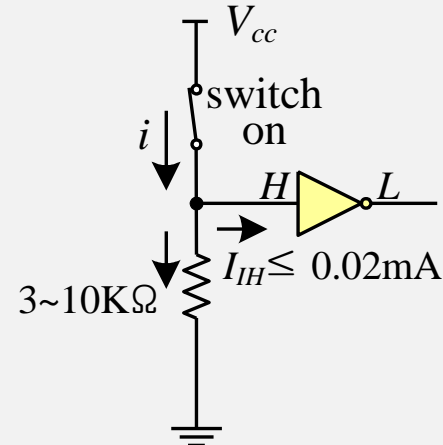
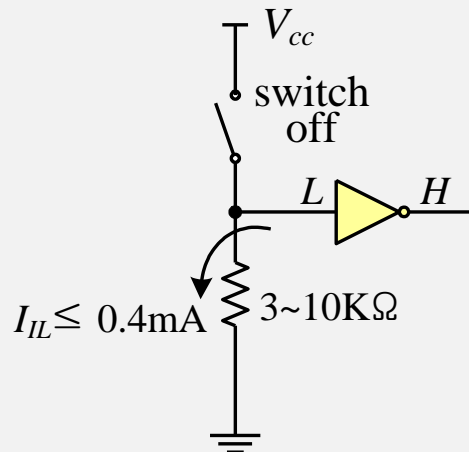
풀-업 저항을 사용하지 않으면 불확실한 입력신호가 될 수 있다.

10 게이트의 전기적 특성

풀업 저항



풀다운 저항



Thank You

4장 기본 논리게이트 끝